This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

substantially equal to a semiconductor chip in a dimension in X and Y directions except in a direction of thickness. The resin-encapsulated semiconductor device in accordance with the present invention means a semiconductor device employing a lead frame among the defined CSP type semiconductor device.

In the CSP type semiconductor device described above, the terminal portions made of solder are formed on each of the terminal columns and is externally exposed from the encapsulating resin, but the terminal portions do not necessarily need to be protruded from the encapsulating resin. Moreover, if necessary, the outside face of each terminal column which is exposed externally from the encapsulating resin may be covered with a protective frame by means of an adhesive.

[FUNCTIONS]

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals and has a miniaturized structure and thus an increased mounting efficiency. At this time, in the resin-encapsulated semiconductor device, as the removal process of the dam bars by press working or the forming process of the outer leads as in the case of using a mono-layered lead frame shown in Fig. 11b is not required, there is no problem such as bending or coplanarity of the outer leads due to this process. More particularly, the use of a multipinned lead frame shaped in a manner that inner leads have a thickness smaller than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Moreover, as the resin-encapsulated semiconductor device is fabricated in such a manner that it is equal to that of a semiconductor chip in size, it can be miniaturized. In addition, each of the inner leads fabricated by a two-step etching process as shown Fig. 8 has a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead. Thus, the second surface of each inner lead is flat, and is excellent in wire-bonding property. Moreover, as the first surface of each inner lead is flat and the third and fourth surfaces of the inner leads each have a concave shape depressed toward the inside of the inner

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平９－８２０７

(43)公開日　平成９年（１９９７）１月１０日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ			技術表示箇所
H01L 23/50			H01L 23/50		R	
21/60	301		21/60	301	N	
23/28			23/28		A	

審査請求　未請求　請求項の数６　ＦＤ　（全１５頁）

(21)出願番号　特願平７－１７６８９８

(22)出願日　平成７年（１９９５）６月２１日

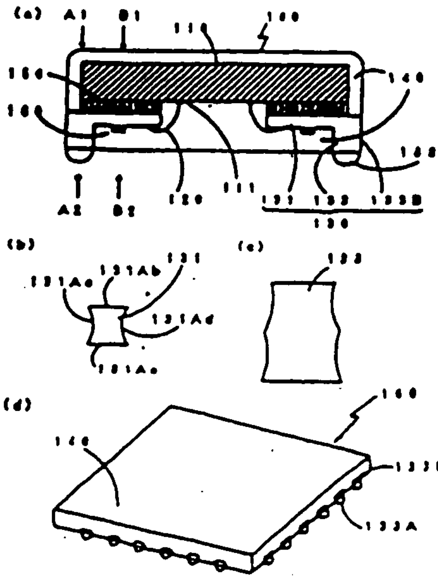
(71)出願人　０００００２８９７
大日本印刷株式会社
東京都新宿区市谷加賀町一丁目１番１号
(72)発明者　山田　淳一
東京都新宿区市谷加賀町一丁目１番１号
大日本印刷株式会社内
(72)発明者　佐々木　賢
東京都新宿区市谷加賀町一丁目１番１号
大日本印刷株式会社内
(74)代理人　弁理士　小西　淳美

(54)【発明の名称】樹脂封止型半導体装置

(57)【要約】

【目的】　リードフレームを用いた樹脂封止型半導体装置であって，多端子化に対応できて実装性の良いものを提供する。

【構成】　２段エッチング加工によりインナーリード部の厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い，且つ，外形寸法をほぼ半導体素子に合わせた，封止用樹脂により樹脂封止したＣＳＰ（ＣｈｉｐＳｉｚｅ　Ｐａｃｋａｇｅ）型の半導体装置であって，前記リードフレームは，薄肉のインナーリード部と，該インナーリード部に対し，インナーリード部の外部側の端部においてインナーリードに直交する方向で，半導体素子搭載側と反対側に一体的に連結した，外部回路と接続するための端子柱を有するもので，該端子柱の外部側の面に半田等からなる端子部を設け，端子部を封止用樹脂部から突出させている。



【特許請求の範囲】

【請求項1】　2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP（ChipSize　Package）型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させ、端子柱の外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部を有する面にて、インナーリード部に絶縁性接着材を介して搭載されており、半導体素子の電極部はインナーリード間に設けられ、半導体素子搭載側とは反対側のインナーリード先端面とワイヤにて電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項2】　2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP（ChipSize　Package）型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端の一部を封止用樹脂部から露出させて端子部とし、端子柱の外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部を有する面にて、インナーリード部に絶縁性接着材を介して搭載されており、半導体素子の電極部はインナーリード間に設けられ、半導体素子搭載側とは反対側のインナーリード先端面とワイヤにて電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項3】　請求項1ないし2において、リードフレームはダイパッドを有しており、半導体素子はその電極部をインナーリード部とダイパッド部との間に設けていることを特徴とする樹脂封止型半導体装置。

【請求項4】　2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP（ChipSize　Package）型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させ、端子柱の外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたバンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることを特徴とする樹脂封止型半導体装置。

【請求項5】　2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP（ChipSize　Package）型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端の一部を封止用樹脂部から露出させて端子部とし、端子柱の外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたバンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることを特徴とする樹脂封止型半導体装置。

【請求項6】　請求項1ないし5において、インナーリードは、断面形状が略方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向き合っており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とする樹脂封止型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の多端子化に対応でき、且つ、実装性の良い小型化が可能な樹脂封止型半導体装置に関するもので、特に、エッチング加工により、インナーリード部をリードフレーム素材の厚さよりも薄肉に外形加工したリードフレームを用いた樹脂封止型半導体装置に関する。

【0002】

【従来の技術】従来より用いられている樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）は、一般に図11（a）に示されるような構造であり、半導体素子1120を搭載するダイパッド部1111や

周囲の回路との電気的接続を行うためのアウターリード部１１１３、アウターリード部１１１３に一体となったインナーリード部１１１２、該インナーリード部１１１２の先端部と半導体素子１１２０の電極パッド１１２１とを電気的に接続するためのワイヤ１１３０、半導体素子１１２０を封止して外界からの応力、汚染から守る樹脂１１４０等からなっており、半導体素子１１２０をリードフレームのダイパッド１１１１部等に搭載した後に、樹脂１１４０により封止してパッケージとしたもので、半導体素子１１２０の電極パッド１１２１に対応できる数のインナーリード１１１２を必要とするものである。そして、このような樹脂封止型の半導体装置の組立部材として用いられる（単層）リードフレームは、一般には図１１（ｂ）に示すような構造のもので、半導体素子を搭載するためのダイパッド１１１１と、ダイパッド１１１１の周囲に設けられた半導体素子と結線するためのインナーリード１１１２、該インナーリード１１１２に連続して外部回路との結線を行うためのアウターリード１１１３、樹脂封止する際のダムとなるダムバー１１１４、リードフレーム１１１０全体を支持するフレーム（枠）部１１１５等を備えており、通常、コバール、４２合金（４２％ニッケル－鉄合金）、銅系合金のような導電性に優れた金属を用い、プレス法もしくはエッチング法により形成されていた。

【０００３】このようなリードフレームを利用した樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子機器の軽薄短小化の傾向と半導体素子の高集積化に伴い、小型薄型化かつ電極端子の増大化が顕著で、その結果、樹脂封止型半導体装置、特にＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）及びＴＱＦＰ（Ｔｈｉｎ　Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）等では、リードの多ピン化が著しくなってきた。上記の半導体装置に用いられるリードフレームは、微細なものはフォトリソグラフィー技術を用いたエッチング加工方法により作製され、微細でないものはプレスによる加工方法による作製されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端の微細化が進み、当初は、微細なものに対しては、プレスによる打ち抜き加工によらず、リードフレーム部材の板厚が０．２５ｍｍ程度のものを用い、エッチング加工で対応してきた。このエッチング加工方法の工程について以下、図１０に基づいて簡単に述べておく。先ず、銅合金もしくは４２％ニッケル－鉄合金からなる厚さ０．２５ｍｍ程度の薄板（リードフレーム素材１０１０）を十分洗浄（図１０（ａ））した後、重クロム酸カリウムを感光剤とした水溶性カゼインレジスト等のフォトレジスト１０２０を該薄板の両表面に均一に塗布する。（（図１０（ｂ））

次いで、所定のパターンが形成されたマスクを介して高圧水銀灯でレジスト部を露光した後、所定の現像液で該感光性レジストを現像して（図１０（ｃ））、レジストパターン１０３０を形成し、硬膜処理、洗浄処理等を必要に応じて行い、塩化第二鉄水溶液を主たる成分とするエッチング液にて、スプレイにて該薄板（リードフレーム素材１０１０）に吹き付け所定の寸法形状にエッチングし、貫通させる。（図１０（ｄ））

次いで、レジスト膜を剥膜処理し（図１０（ｅ））、洗浄後、所望のリードフレームを得て、エッチング加工工程を終了する。このように、エッチング加工等によって作製されたリードフレームは、更に、所定のエリアに銀メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を固定用の接着剤付きポリイミドテープにてテーピング処理したり、必要に応じて所定の量タブ吊りバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による腐蝕は被加工板の板厚方向の他に板幅（面）方向にも進むため、その微細化加工にも限度があるのが一般的で、図１０に示すように、リードフレーム素材の両面からエッチングするため、ラインアンドスペース形状の場合、ライン間隔の加工限度幅は、板厚の５０～１００％程度と言われている。又、リードフレームの後工程でのアウターリードの強度を考えた場合、一般的には、その板厚は約０．１２５ｍｍ以上必要とされている。この為、図１０に示すようなエッチング加工方法の場合、リードフレームの板厚を０．１５ｍｍ～０．１２５ｍｍ程度まで薄くすることにより、ワイヤボンディングのための必要な平坦幅７０～８０確保し、０．１６５ｍｍピッチ程度の微細なインナーリード部先端のエッチングによる加工を達成してきたが、これが限度とされていた。

【０００４】しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極端子であるインナーリードのピッチが０．１６５ｍｍピッチを経て、既に０．１５～０．１３ｍｍピッチまでの狭ピッチ化要求がでてきた事と、エッチング加工において、リード部材の板厚を薄した場合には、アセンブリ工程や実装工程といった後工程におけるアウターリードの強度確保が難しいという点から、単にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【０００５】これに対応する方法として、アウターリードの強度を確保した微細加工化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程においての精度が不足する（例えば、めっきエリアの平滑性）、ボンディング、モールディング時のクランプに必要なインナーリードの平坦性、寸法精度が確保されない、製版を２度行なわなければならない等製造工程が複雑になる、等問題点が多くある。そして、インナーリード部分をハーフエッチングにより薄く

してエッチング加工を行う方法の場合にも，製版を２度行なわなければならず，製造工程が複雑になるという問題があり，いずれも実用化には，未だ至っていないのが現状である。

【０００６】

【発明が解決しようとする課題】一方，電子機器の軽薄短小化の時流に伴い，半導体パッケージにおいても，小型で実装性が良いものが求められるようになってきて，外形寸法をほぼ半導体素子に合わせて，封止用樹脂により樹脂封止したＣＳＰ（Ｃｈｉｐ Ｓｉｚｅ Ｐａｃｋａｇｅ）と言われるパッケージが提案されるようになってきた。ＣＳＰを使う利点を以下に簡単に述べる。

①第一にピン数が同じなら，ＱＦＰ（Ｑｕａｄ Ｆｌａｔ Ｐａｃｋａｇｅ）やＢＧＡ（Ｂａｌｌ Ｇｒｉｄ Ａｒｒａｙ）に比べ実装面積を格段に小さくできる。

②第二に，パッケージ寸法が同じならＱＦＰやＢＧＡよりもピン数を多くとれる。ＱＦＰについては，パッケージや基板の反りを考えると，実用的に使える寸法は最大４０ｍｍ角であり，アウターリードピッチが０．５ｍｍピッチのＱＦＰでは３０４ピンが限界となる。さらにピン数を増やすためには，０．４ｍｍピッチや０．３ｍｍピッチが必要となるが，この場合には，ユーザが量産性の高い実装（一括リフロー・ハンダ付け）を行うのが難しくなってくる。一般にはＱＦＰの製造に関してはアウターリードピッチが０．３ｍｍピッチ以下ではコストを上げずに量産するのは困難と言われている。ＢＧＡは，上記ＱＦＰの限界を打破するものとし注目を集め始めたもので，外部端子を二次元アレイ状にし，外部端子ピッチを広げることで実装の負担を軽減しようとするものである。ＢＧＡの場合，外部端子が３００ピンを超える領域でも，従来通りの一括リフロー・ハンダ付けはできるが，３０ｍｍ～４０ｍｍ角になると，温度サイクルによって外部端子のハンダ・バンプにクラックが入るため，６００ピン～７００ピン，最大でも１０００ピンが実用の限界と一般には言われている。外部端子をパッケージ裏面に二次元アレイに設けたＣＳＰの場合には，ＢＧＡのコンセプトを引継ぎ，且つ，アレイ状の端子ピッチを増やすことが可能となる。また，ＢＧＡ同様，一括リフロー・ハンダ付けが可能である。

③第三に，ＱＦＰやＢＧＡに比べるとパッケージ内部の配線長が短かくなるため，寄生容量が小さくなり伝搬遅延時間が短くなる。ＬＳＩクロック周波数が１００ＭＨｚを越えるようになると，ＱＦＰではパッケージ内の伝搬が問題になってしまう。内部配線長を短かくしたＣＳＰの方が有利である。しかしながら，ＣＳＰは実装面では優れるものの，多端子化に対しては，端子のピッチをさらに狭めることが必要で，この点での限界がある。本発明は，このような状況のもと，リードフレームを用いた樹脂封止型半導体装置において，多端子化に対応でき，且つ，一層の小型化に対応できる半導体装置を提供しようとするものである。

【０００７】

【課題を解決するための手段】本発明の樹脂封止型半導体装置は，２段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い，外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したＣＳＰ（Ｃｈｉｐ Ｓｉｚｅ Ｐａｃｋａｇｅ）型の半導体装置であって，前記リードフレームは，リードフレーム素材よりも薄肉のインナーリードと，該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し，且つ，端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し，かつ半導体素子搭載側と反対側に設けられており，端子柱の先端面に半田等からなる端子部を設け，端子部を封止用樹脂部から露出させ，端子柱の外部側の側面を封止用樹脂部から露出させており，半導体素子は，半導体素子の電極部（パッド）を有する面にて，インナーリード部に絶縁接着材を介して搭載されており，半導体素子の電極部（パッド）はインナーリード間に設けられ，半導体素子搭載側とは反対側のインナーリード先端面とワイヤにて電気的に結線されていることを特徴とするものである。また，本発明の樹脂封止型半導体装置は，２段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い，外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したＣＳＰ（Ｃｈｉｐ Ｓｉｚｅ Ｐａｃｋａｇｅ）型の半導体装置であって，前記リードフレームは，リードフレーム素材よりも薄肉のインナーリードと，該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し，且つ，端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し，かつ半導体素子搭載側と反対側に設けられており，端子柱の先端の一部を封止用樹脂部から露出させて端子部とし，端子柱の外部側の側面を封止用樹脂部から露出させており，半導体素子は，半導体素子の電極部（パッド）を有する面にて，インナーリード部に絶縁接着材を介して搭載されており，半導体素子の電極部（パッド）はインナーリード間に設けられ，半導体素子搭載側とは反対側のインナーリード先端面とワイヤにて電気的に結線されていることを特徴とするものである。そして上記において，請求項１ないし２において，リードフレームはダイパッドを有しており，半導体素子にその電極部（パッド）をインナーリード部とダイパッド部との間に設けていることを特徴とするものである。また，本発明の樹脂封止型半導体装置は，２段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い，外形寸法をほぼ半導体素子に合わせて

封止用樹脂により樹脂封止したＣＳＰ（Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させ、端子柱の外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたバンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることを特徴とするものである。また、本発明の樹脂封止型半導体装置は、２段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したＣＳＰ（Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端の一部を封止用樹脂部から突出させて端子部とし、端子柱の外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたバンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることを特徴とするものである。そして上記において、インナーリードは、断面形状が略方形で第１面、第２面、第３面、第４面の４面を有しており、かつ第１面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第２面に向き合っており、第３面、第４面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とするものである。尚、ここでは、ＣＳＰ（Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）型半導体装置とは、半導体素子の厚み方向を除いた、Ｘ、Ｙ方向の外形寸法にほぼ近い形で封止用樹脂により樹脂封止した半導体装置の総称を言っており、本発明の半導体装置は、その中でもリードフレームを用いたものである。また、上記において、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させる場合、半田等からなる端子部は封止用樹脂部から突出したものが一般的であるが、必ずしも突出する必要はない。また、必要に応じて、封止用樹脂部から露出された端子柱の外部側の側面部分を接着材等を介して保護材で覆っても良い。

【０００８】

【作用】本発明の樹脂封止型半導体装置は、上記のように構成することにより、リードフレームを用いた樹脂封止型半導体装置において、多端子化に対応でき、且つ、実装性の良い小型の半導体装置の提供を可能とするものであり、同時に、従来の図１１（ｂ）に示す単層リードフレームを用いた場合のように、ダムバーのプレスによる除去工程や、アウターリードのフォーミング工程を必要としないため、これらの工程に起因して発生していたアウターリードのスキューの問題やアウターリードの平坦性（コープラナリティー）の問題を全く無くすことができる半導体装置の提供を可能とするものである。詳しくは、２段エッチング加工によりインナーリード部の厚さが素材の厚さよりも薄肉に外形加工された、即ち、インナーリードを微細に加工された多ピンのリードフレームを用いていることにより、半導体装置の多端子化に対応できるものとしており、且つ、外形寸法をほぼ半導体素子に合わせて、封止用樹脂により樹脂封止したＣＳＰ（Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）型の半導体装置としていることにより、小型化して作製することを可能としている。更に、後述する、図８に示す２段エッチングにより作製された、インナーリードは、断面形状が略方形で第１面、第２面、第３面、第４面の４面を有しており、かつ第１面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第２面に向き合っており、第３面、第４面はインナーリードの内側に向かって凹んだ形状に形成されていることにより、インナーリード部の第２面は平坦性を確保でき、ワイヤボンディング性の良いものとしている。また第１面も平坦面で、第３面、第４面はインナーリード側に凹状であるためインナーリード部は、安定しており、且つ、ワイヤボンディングの平坦幅を広くとれる。

【０００９】また、本発明の樹脂封止型半導体装置は、半導体素子が、半導体素子の一面に設けられたバンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一括したボンディングを可能としている。

【００１０】

【実施例】本発明の樹脂封止型半導体装置の実施例を図にそって説明する。先ず、実施例１を図１に示し、説明する。図１（ａ）は実施例１の樹脂封止型半導体装置の断面図であり、図１（ｂ）（イ）は図１（ａ）のＡ１－Ａ２におけるインナーリード部の断面図で、図１（ｂ）（ロ）は図１（ａ）のＢ１－Ｂ２における端子柱部の断面図である。図１中、１００は半導体装置、１１０は半導体素子、１１１は電極部（パッド）、１２０はワイヤ、１３０はリードフレーム、１３１はインナーリード、１３１Ａａは第１面、１３１Ａｂは第２面、１３１Ａｃは第３面、１３１Ａｄは第４面、１３３は端子柱、

133Aは端子部、133Bは側面、140は封止用樹脂、150は絶縁接着材、160は補強用テープである。本実施例1の樹脂封止型半導体装置においては、半導体素子110は、半導体素子の電極部（パッド）111側の面で電極部（パッド）111がインナーリード間に収まるようにして、インナーリード131に絶縁接着材150を介して搭載固定されている。そして、電極部111は、ワイヤ120にて、インナーリード部131の先端の第2面131Abと電気的に接続されている。本実施例1の半導体装置100と外部回路との電気的な接続は、端子柱133先端部に設けられた半球状の半田からなる端子部133Aを介してプリント基板等へ搭載されることにより行われる。実施例1の半導体装置100に使用のリードフレーム130は、42%ニッケル－鉄合金を素材としたもので、そして、図6（a）に示すような形状をしたエッチングにより外形加工されたリードフレームを用いたものである。端子柱133他の部分より薄肉に形成されたインナーリード131をもつ。ダムバー136は樹脂封止する際のダムとなる。尚、図6（a）に示すような形状をしたエッチングにより外形加工されたリードフレームを、本実施例においては用いたが、インナーリード部131と端子柱部133以外は最終的に不要なものであるから、特にこの形状に限定はされない。インナーリード部131の厚さtは40μm、インナーリード部131以外の厚さt_0は0.15mmでリードフレーム素材の板厚のままである。また、インナーリードピッチは0.12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード部131の第2面131Abに平坦状でワイヤボンディングし易い形状となっており、第3面131Ac、第4面131Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を狭くしても強度的に強いものとしている。尚、図6（b）は図6（a）のC1－C2における断面を示している。補強用テープ160はインナーリード部にヨレが発生しないように固定しておくものである。尚、インナーリードの長さが短かい場合には直接図6（a）に示す形状のリードフレームをエッチング加工にして作製し、これに後述する方法により半導体素子を搭載して樹脂封止できるが、インナーリードが長く、インナーリードにヨレを生じ易い場合には直接図6（a）に示す形状にエッチング加工することは出来ないため、図6（c）（イ）に示すようにインナーリード先端部を連結部131Bにて固定した状態にエッチング加工した後、インナーリード131部を補強テープ160で固定し（図6（c）（ロ））、次いでプレスにて、半導体装置作製の際にには不要の連結部131Bを除去し、この状態で半導体素子を搭載して半導体装置を作製する。（図6（c）（ハ））

図6（c）（ロ）中E1－E2にプレスにて切断するラインを示している。

【0011】次に本実施例1の樹脂封止型半導体装置の製造方法を図5に基づいて簡単に説明する。先ず、後述するエッチング加工にて作製され、不要の部分をカッティング処理等で除去されたもので、インナーリード先端部両面が図5で上になるようにして用意した。尚、インナーリード131部の長さが長い場合にには、必要に応じて、インナーリードの先端部がポリイミドテープによりテーピング固定されているものを用意する。次いで半導体素子110の電極部111側面を図5で下にして、インナーリード131間に納め、絶縁接着材150を介してインナーリード131に搭載固定した。（図5（a））

半導体素子110をリードフレーム130に搭載固定した後、リードフレーム側130を半導体の上にして、半導体素子110の電極部111とインナーリード部131の先端部とをワイヤ120にてボンディング接続した。（図5（b））

次いで、通常の封止用樹脂140で樹脂封止を行った。（図5（c））

樹脂による封止は所定の型を用いて行うが、半導体素子110のサイズで、且つ、リードフレームの端子柱の外側の面が若干樹脂から外部へ突出した状態で封止した。

次いで、不要なリードフレーム130の封止用樹脂140部から突出している部分をプレスにて切断し、端子柱133を形成するとともに端子柱133の側面133Bを形成した。（図5（d））

この時、切断されるリードフレームのラインには、切断がし易いように、切り欠きを設けておくと良い。特に、これらの切り欠きにエッチング時に、併せて加工しておけば手間が省ける。図6に示すリードフレーム110のダムバー136、フレーム部137等が除去される。この後、リードフレームの端子柱の外側の面に半田からなる端子部133Aを作製して半導体装置を作製した。（図5（e））

この半田からなる端子部133Aは外部回路基板と接続する際に、接続し易いように設けてあるが特に設けなくても良い。

【0012】本発明の半導体装置に用いられるリードフレームの製造方法を以下、図にそって説明する。図8は、本実施例1の樹脂封止型半導体装置に用いられたリードフレームの製造方法を説明するための、インナーリード先端部を含む要部における各工程断面図であり、ここで作製されるリードフレームを示す平面図である図6（a）のD1－D2部の断面部における製造工程図である。図8中、810はリードフレーム素材、820A、820Bはレジストパターン、830は第一の開口部、840は第二の開口部、850は第一の凹部、860は第二の凹部、870は平坦状面、880はエッチング抵抗層、131Aはインナーリード先端部、131Abは

インナーリードの第2案を示す。先ず、42％ニッケル−鉄合金からなり、厚みが0．15mmのリードフレーム素材810の両面に、重クロム酸カリウムを感光剤とした水溶性カゼインレジストを塗布した後、所定のパターン版を用いて、所定形状の第一の開口部830、第二の開口部840をもつレジストパターン820A、820Bを形成した。（図8（a））
第一の開口部830は、後のエッチング加工においてリードフレーム素材810をこの開口部からベタ状にリードフレーム素材よりも薄肉に腐蝕するためのもので、レジストの第二の開口部840は、インナーリード先端部の形状を形成するためのものである。第一の開口部830は、少なくともリードフレーム810のンナーリード先端部形成領域を含むが、後工程において、テーピングの工程や、リードフレームを固定するクランプ工程で、ベタ状に腐蝕され部分的に薄くなった部分との段差が問題になる場合があるので、エッチングを行うエリアはインナーリード先端の微細加工部分だけにせず大きめにとる必要がある。次いで、液温57°C、比重48ボーメの塩化第二鉄溶液を用いて、スプレー圧2．5kg／cm²にて、レジストパターンが形成されたリードフレーム素材810の両面をエッチングし、ベタ状（平坦状）に腐蝕された第一の凹部850の深さhがリードフレーム部材の約2／3程度に達した時点でエッチングを止めた。（図8（b））
上記第1回目のエッチングにおいては、リードフレーム素材810の両面から同時にエッチングを行ったが、必ずしも両面から同時にエッチングする必要はない。少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターン820Bが形成された面側から腐蝕液によるエッチング加工を行い、腐蝕されたインナーリード先端部形成領域において、所定量エッチング加工し止めることができれば良い。本実施例のように、第1回目のエッチングにおいてリードフレーム素材810の両面から同時にエッチングする理由は、両面からエッチングすることにより、後述する第2回目のエッチング時間を短縮するためで、レジストパターン820B側からのみの片面エッチングの場合と比べ、第1回目エッチングと第2回目エッチングのトータル時間が短縮される。次いで、第一の開口部830側の腐蝕された第一の凹部850にエッチング抵抗層880としての耐エッチング性のあるホットメルト型ワックス（ザ・インクテック社製の酸ワックス、型番MR−WB6）を、ダイコータを用いて、塗布し、ベタ状（平坦状）に腐蝕された第一の凹部850に埋め込んだ。レジストパターン820B上も該エッチング抵抗層880に塗布された状態とした。（図8（c））
エッチング抵抗層880を、レジストパターン820B上全面に塗布する必要はないが、第一の凹部850を含む一部にのみ塗布することは難しい為に、図8（c）に示すように、第一の凹部850とともに、第一の開口部830側全面にエッチング抵抗層880を塗布した。本実施例で使用したエッチング抵抗層880は、アルカリ溶解型のワックスであるが、基本的にエッチング液に耐性があり、エッチング時にある程度の柔軟性のあるものが、好ましく、特に、上記ワックスに限定されず、UV硬化型のものでも良い。このようにエッチング抵抗層880をインナーリード先端部の形状を形成するためのパターンが形成された面側の腐蝕された第一の凹部850に埋め込むことにより、後工程でのエッチング時に第一の凹部850が腐蝕されて大きくならないようにしているとともに、高精細なエッチング加工に対しての機械的な強度補強をしており、スプレー圧を高く（2．5kg／cm²以上）とすることができ、これによりエッチングが深さ方向に進行し易くなる。この後、第2回目エッチングを行い、ベタ状（平坦状）に腐蝕された第一の凹部850形成面側からリードフレーム素材810をエッチングし、貫通させ、インナーリード先端部890を形成した。（図8（d））
第1回目のエッチング加工にて作製された、リードフレーム面に平行なエッチング形成面は平坦であるが、この面を挟む2面はインナーリード側にへこんだ凹状である。次いで、洗浄、エッチング抵抗層880の除去、レジスト膜（レジストパターン820A、820B）の除去を行い、インナーリード先端部890が微細加工された図6（a）に示すリードフレームを得た。エッチング抵抗層880とレジスト膜（レジストパターン820A、82B0）の除去には水酸化ナトリウム水溶液により溶解除去した。

【0013】尚、上記のように、エッチングを2段階にわけて行うエッチング加工方法を、一般には2段エッチング加工方法といっており、特に、精度加工に有利な加工方法である。本発明に用いた図6（a）、図6（b）に示す、リードフレーム130の製造においては、2段エッチング加工方法と、パターン形状を工夫することにより部分的にリードフレーム素材を薄くしながら外形加工する方法とが併行して採られている。上記の方法によるインナーリード先端部131Aの微細化加工は、第二の凹部860の形状と、最終的に得られるインナーリード先端部の厚さtに左右されるもので、例えば、板厚tを50μmまで薄くすると、図8（e）に示す、平坦幅W1を100μmとして、インナーリード先端部ピッチpが0．15mmまで微細加工可能となる。板厚tを30μm程度まで薄くし、平坦幅W1を70μm程度とすると、インナーリード先端部ピッチpが0．12mm程度まで微細加工ができるが、板厚t、平坦幅W1のとり方次第ではインナーリード先端部ピッチpは更に狭いピッチまで作製が可能となる。

【0014】このようにエッチング加工にて、インナーリードの長さが短かい場合等、前述工程でインナーリー

ドのヨレが発生しにくい場合には通常図6（a）に示す形状のリードフレームを作るが、インナーリードの長さが実施例1の場合に比べ長い場合にはインナーリードにヨレが発生し易い為、図6（c）（イ）に示ように、インナーリード先端部から連結部131Bを設けてインナーリード先端部同士を繋げた形状にして形成したものをエッチング加工にて得て、この後、半導体作製には不必要な連結部131Bをプレス等により切断除去して図6（a）に示す形状を得る。図7（a）、図7（b）に示すダイパッド235を有するリードフレーム230を作製する場合には、図7（c）（イ）に示すように、インナーリード231の先端に連結部231Bを設けてダイパッドと直接繋がった形状にエッチングにより外形加工した後に、プレス等により切断しても良い。尚、図7（b）は図7（a）のC11－C21における断面図で、図7（c）中E11－E21に切断ラインを示している。そして、めっきした後に切断除去すると、治具めっき方式でインナーリードをめっきする場合には、めっきの漏れがなく良い品質のリードフレームが得られる。尚、前述のように、図6（c）に示すものを切断し、図6（a）に示す形状にする際には、図6（c）（ロ）に示すように、通常、補強のため補強用テープ160（ポリイミドテープ）を使用する。図7（c）に示すものを切断する場合も同様である。図6（c）（ロ）の状態で、プレス等により連結部131Bを切断除去するが、半導体素子は、テープをつけた状態のままで、リードフレームに搭載され、そのまま樹脂封止される。

【0015】本実施例1の半導体装置に用いられたリードフレームのインナーリード先端部131Aの断面形状は、図9（イ）に示すようになっており、エッチング平坦面131Ab側の幅W1は反対側の面の幅W2より若干大きくなっており、W1、W2（約100μm）ともこの部分の板厚さ方向中部の幅Wよりも大きくなっている。このようにインナーリード先端部の両面は広くなった断面形状であるため、図8（ロ）に示すように、どちらの面を用いても半導体素子（図示せず）とインナーリード先端部131Aとワイヤ120A、120Bによる結線（ボンディング）がし易いものとなっているが、本実施例の場合にはエッチング面側（図9（ロ）（a））をボンディング面としている。図中131Abはエッチング加工による平坦面、131Aaはリードフレーム素材面、121A、121Bはめっき部である。エッチング平坦状面がアラビの無い面であるため、図9（ロ）の（a）の場合は、特に結線（ボンディング）適性が優れる。図9（ハ）は図10に示す従来方法にて作製されたリードフレームのインナーリード先端部831Cと半導体素子（図示せず）との結線（ボンディング）を示すものであるが、この場合もインナーリード先端部931Cの両面は平坦ではあるが、この部分の板厚方向の幅に比べ大きくとれない。また幅広としリードフレーム素材面である為、結線（ボンディング）適性は本実施例のエッチング平坦面より劣る。図9（ニ）にプレスによりインナーリード先端部を平坦化した後にエッチング加工によりインナーリード先端部931D、931Eを加工したものの、半導体素子（図示せず）との結線（ボンディング）を示したものであるが、この場合はプレス面側が図に示すように平坦になっていないため、どちらの面を用いて結線（ボンディング）しても、図9（ニ）の（a）、（b）に示すように結線（ボンディング）の際に安定性が悪く品質的にも問題となる場合が多い。

【0016】次に実施例1の樹脂封止型半導体装置の変形例を挙げる。図2（a）は実施例1の樹脂封止型半導体装置の変形例の断面図であり、図2（c）は変形例半導体装置の外観を示すもので、図2（c）（ロ）は下（底）側から見た図で、図2（c）（イ）は正面図で、図2（b）は図1（a）のA1－A2に対応する位置での端子部の断面図である。変形例半導体装置は、実施例1の半導体装置とは端子部133Aが異なるもので、端子部は端子部133の先端側を樹脂140から突出したようにしており、且つ、先端部の底面には溝133cが設けられており、溝を設けた状態で底面には半田を塗布した状態にする。そして実装する際には、この溝133c部を通り半田が行き渡るようにしている。変形例の半導体装置100Aは、端子部133A以外は、実施例1の半導体装置と同じである。

【0017】次いで、実施例2の樹脂封止型半導体装置を挙げる。図3（a）は実施例2の樹脂封止型半導体装置の断面図であり、図3（b）は図3（a）のA3－A4におけるインナーリード部の断面図で、図3（c）（イ）は図3（a）のB3－B4における端子部側の断面図である。図3中、200は半導体装置、210は半導体素子、211は電極部（パッド）、220はワイヤ、230はリードフレーム、231はインナーリード、231Aaは第1面、231Abは第2面、231Acは第3面、231Adは第4面、233は端子部、233Aは端子面、233Bは側面、235はダイパッド、240は封止用樹脂、250は絶縁接着材、250Aは接着材、260は補強用テープある。本実施例2の場合も、実施例1と同様に、半導体素子210は、半導体素子の電極部（パッド）211側の面で電極部（パッド）211がインナーリード間に収まるようにして、インナーリード231に絶縁接着材250を介して搭載固定されており、電極部211は、ワイヤ220にて、インナーリード部231の先端の第2面231Abと電気的に結線されているが、リードフレームにダイパッド235を有するもので、半導体素子210の電極部211はインナーリード部231とダイパッド235内に設けらている。また、本実施例2の場合も、実施例1と同様に、半導体装置200と外部回路との電気的な接続に、端子部233先端部に設けられた半球状の半田が

らなる端子部233Aを介してプリント基板等へ搭載されることにより行われる。本実施例においては、ダイパッド235と半導体素子210を接着する接着材250Aを導電性としており、且つ、ダイパッド235と端子部233とはインナーリード（吊りリード）にて接続されていることにより、半導体素子にて発生した熱をダイパッドを介して外部回路へ放散させることができる。尚、接着材250Aを導電性の接着材と必ずしもする必要はないが、ダイパッド235を端子部233を介してグランドラインに接続すると、半導体素子210がノイズに強くなるとともに、ノイズを受けない構造となる。

【0018】実施例2の半導体装置に使用のリードフレーム230も、実施例1にて使用のリードフレームと同様に、42%ニッケル－鉄合金を素材としたものであるが、、図7（a）、図7（b）に示すように、ダイパッド235を有する形状をしており、端子部233部分より薄肉に形成されたインナーリード231をもつ。インナーリード部231の厚さは40μm、端子部233厚さは0．15mmである。そして、インナーリードピッチは0．12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード部231の第2面231Abは平坦状でワイヤボンディングし易い形状となっており、第3面231Ac、第4面231Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を狭くしても強度的に強いものとしている。また、実施例2の樹脂封止型半導体装置の作製は、実施例1の場合とほぼ同じ工程にて行う。

【0019】実施例2の樹脂封止型半導体装置の変形例としては、図2に示す実施例1の変形例の場合と同様に、端子部233の先端部に溝233C（図3（c）（ロ））を設け、封止用樹脂240から、突出させて、端子部の先端部をそのまま端子233Aにしたものが挙げられる。

【0020】次いで、実施例3の樹脂封止型半導体装置を挙げる。図4（a）は実施例3の樹脂封止型半導体装置の断面図であり、図3（b）は図4（a）のA5－A6におけるインナーリード部の断面図で、図3（c）（イ）は図3（a）のB5－B6における端子部の断面図である。図4中、300は半導体装置、310は半導体素子、311はバンプ、330はリードフレーム、331はインナーリード、331Aaは第1面、331Abは第2面、331Acは第3面、331Adは第4面、333は端子部、333Aは端子部、333Bは側面、335はダイパッド、340は封止用樹脂、360は絶縁用テープある。本実施例の半導体装置300の場合は、実施例1や実施例2の場合と異なり、半導体素子310にバンプ311を持つもので、バンプ311を薄肉インナーリード330に搭載固定し、半導体素子310とインナーリード310とを電気的に接続するものである。また、本実施例3の場合も、実施例1や実施例2の場合と同様に、半導体装置300と外部回路との電気的な接続は、端子部333先端部に設けられた半球状の半田からなる端子部333Aを介してプリント基板等へ搭載されることにより行われる。

【0021】実施例3の半導体装置に使用のリードフレーム330も、実施例1や実施例2にて使用のリードフレームと同様に、42%ニッケル－鉄合金を素材としたもので、図6（a）、図6（b）に示すような形状をしており、リードフレーム素材と同じ厚さの端子部333部の部分より薄肉に形成されたインナーリード先端部331Aをもつ。インナーリード先端部331Aの厚さは40μm、インナーリード先端部331A以外の厚さは0．15mmで、強度的には工程に充分耐えるものとなっている。そして、インナーリードピッチは0．12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード先端部331Aの第2面331Abは平坦状でワイヤボンディングし易い形状となっており、第3面331Ac、第4面331Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を狭くしても強度的に強いものとしている。また、実施例3の樹脂封止型半導体装置の作製も、実施例1の場合とほぼ同じ工程にて行うが、ダイパッド335に半導体素子を搭載し固定した後に、封止用樹脂にて樹脂封止する。

【0022】実施例3の樹脂封止型半導体装置の変形例としては、図2に示す実施例1の変形例の場合と同様に、端子部333の先端部に溝333C（図4（c）（ロ））を設け、封止用樹脂340から、突出させて、端子部の先端部をそのまま端子333Aにしたものが挙げられる。

【0023】

【発明の効果】本発明の樹脂封止型半導体装置は、上記のように、リードフレームを用いた樹脂封止型半導体装置において、多端子化に対応でき、且つ、実装性良い半導体装置の提供を可能としている。本発明の樹脂封止型半導体装置は、これと同時に、従来の図11（b）に示すアウターリードを持つリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの曲げ工程を必要としないため、アウターリードのスキューの問題や、平坦性（コープラナリティー）の問題を皆無としている。また、QFPやBGAに比べるとパッケージ内部の配線長が短かくなるため、寄生容量が小さくなり伝送遅延時間を短くすることも可能にしている。

【図面の簡単な説明】

【図1】実施例1の樹脂封止型半導体装置の断面図

【図2】実施例1の樹脂封止型半導体装置の変形例の図

【図3】実施例2の樹脂封止型半導体装置の断面図

【図4】実施例3の樹脂封止型半導体装置の断面図

【図5】実施例1の樹脂封止型半導体装置の作製工程を

説明するための図

【図6】本発明の樹脂封止型半導体装置に用いられるリードフレームの図

【図7】本発明の樹脂封止型半導体装置に用いられるリードフレームの図

【図8】本発明の樹脂封止型半導体装置に用いられるリードフレームの作製方法を説明するための図

【図9】インナーリード先端部でのワイヤボンディングの結線状態を示す図

【図10】従来のリードフレームのエッチング製造工程を説明するための図

【図11】樹脂封止型半導体装置及び単層リードフレームの図

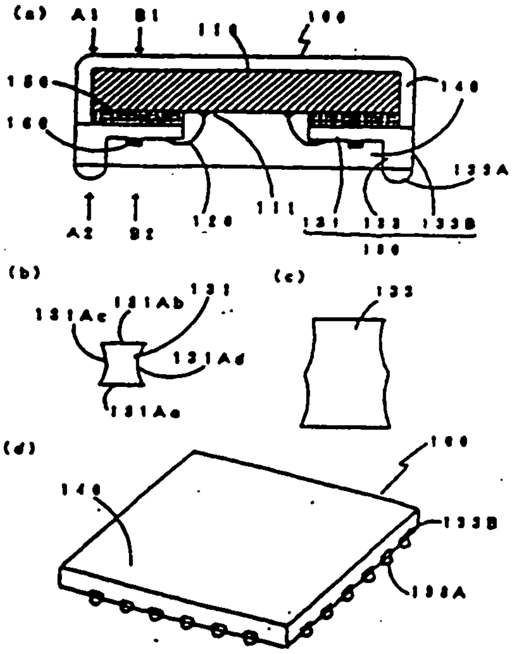
【符号の説明】

100、100A、200、300	樹脂封止型半導体装置
110、210、310	半導体素子
111、211、311	電極（パッド）
120、220、320	ワイヤ
120A、120B	ワイヤ
121A、121B	めっき部
130、230、330	リードフレーム
131、231、331	インナーリード
131Aa、231Aa、331Aa	第1面
131Ab、231Ab、331Ab	第2面
131Ac、231Ac、331Ac	第3面
131Ad、231Ad、331Ad	第4面
131B、231B	基端部
133、233、333	端子部
133A	端子面
133B	側面
133C	底
136、236	ダムバー
137、237	フレーム（枠）部
140、240、340	封止用樹脂
150	絶縁性接着材
160、260、360	固定用テープ
235	ダイパッド
810	リードフレーム素材
820A、820B	レジストパターン
830	第一の開口部
840	第二の開口部
850	第一の凹部
860	第二の凹部
870	平板状部
880	エッチング抵抗層
920C、920D、920E	ワイヤ
921C、921D、921E	めっき部
931D、931E	インナーリード先端部
931Aa	リードフレーム素材面
931Ac	コイニング面
1010	リードフレーム素材
1020	フォトレジスト
1030	レジストパターン
1040	インナーリード
1110	リードフレーム
1111	ダイパッド
1112	インナーリード
1112A	イ

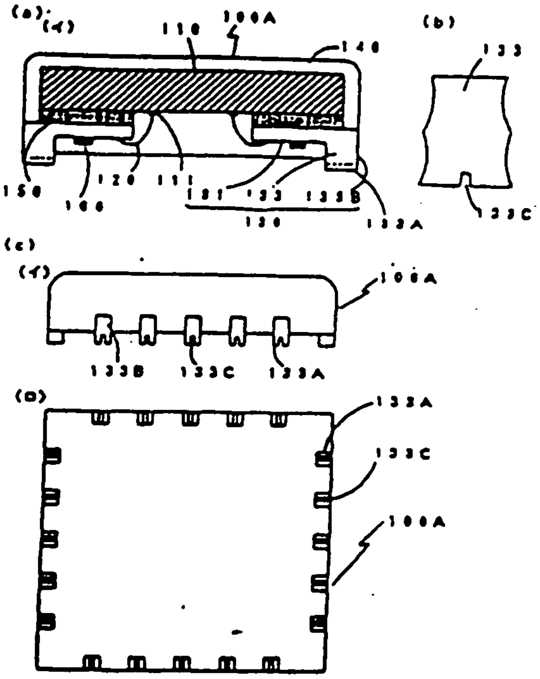
ンナーリード先端部
1113
ウターリード
1114
ムバー
1115
レーム部（枠部）
1120

導体素子
ア　1121
電極部（パッド）
ダ　1130
イヤ
フ　1140
止用樹脂
半

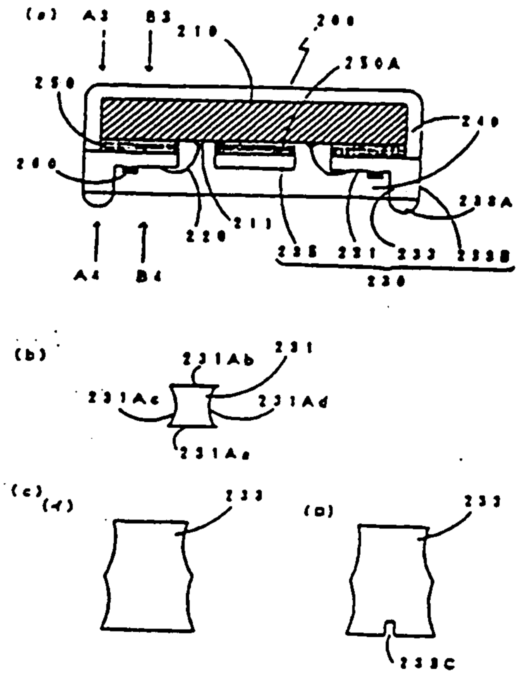
【図1】



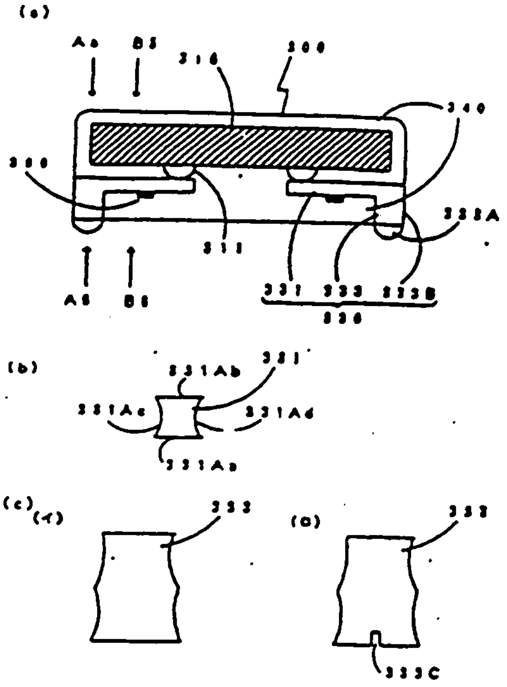
【図2】



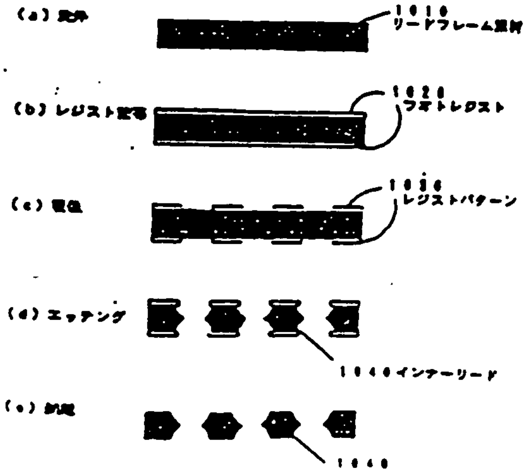
【図3】


(a)
A3
B3
A4
B4
(b)
231Ab
231Ac
231Ad
231Aa
(c)(イ)
(ロ)

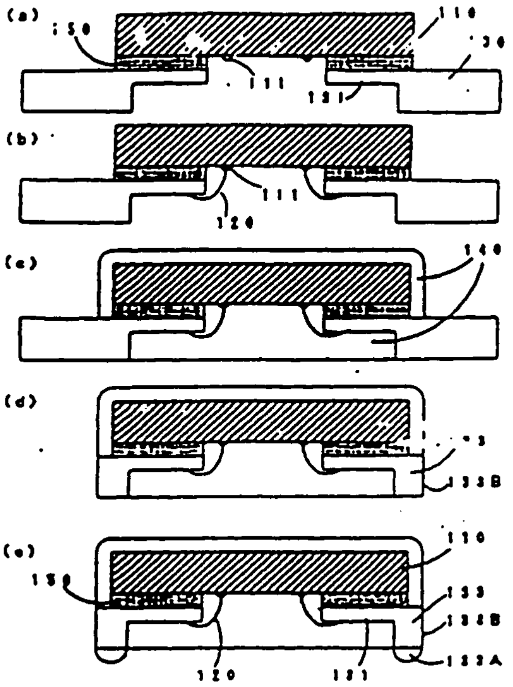
【図4】


(a)
A5
B5
310
300
340
350
311
333A
331
333
333B
330
A6
B6
(b)
331Ab
331
331Ac
331Ad
331Aa
(c)(イ)
333
(ロ)
333
333C

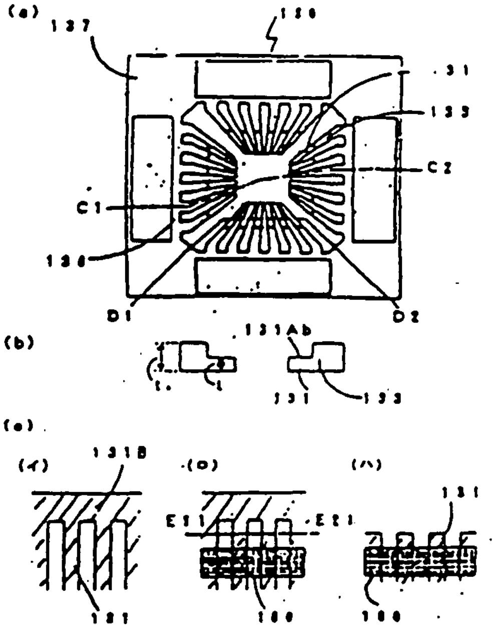
【図10】


(a) 素材
1010
リードフレーム素材
(b) レジスト塗布
1020
フォトレジスト
(c) 製版
1030
レジストパターン
(d) エッチング
1040インナーリード
(e) 研磨
1040

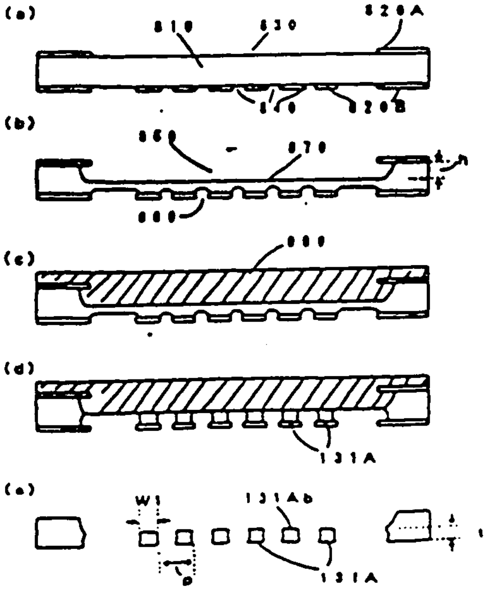
【図5】


(a)
(b)
(c)
(d)
(e)

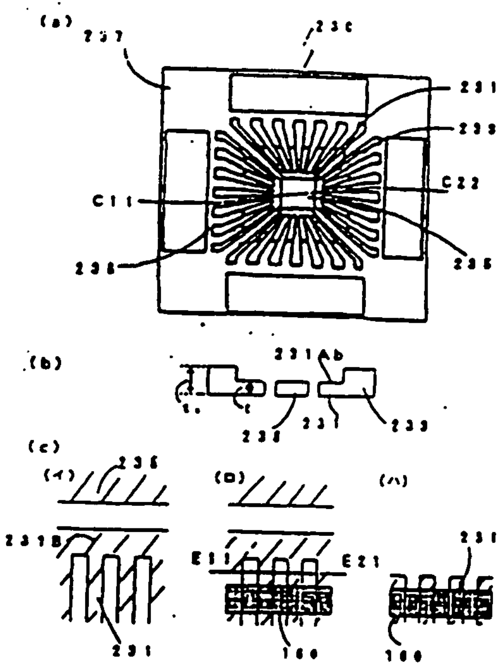
【図6】


(a)
130
137
131
133
C2
C1
138
D1
D2
(b)
131Ab
t1
t
131
133
(c)
(イ)
131B
131
(ロ)
E11
E21
100
(ハ)
131
100

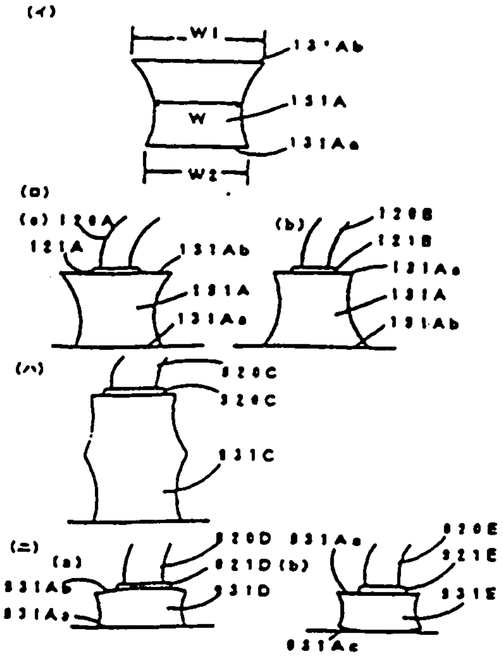
【図8】


(a)
810
830
820A
840
820B
(b)
850
870
h
860
(c)
880
(d)
131A
(e)
W1
131Ab
p
131A
t

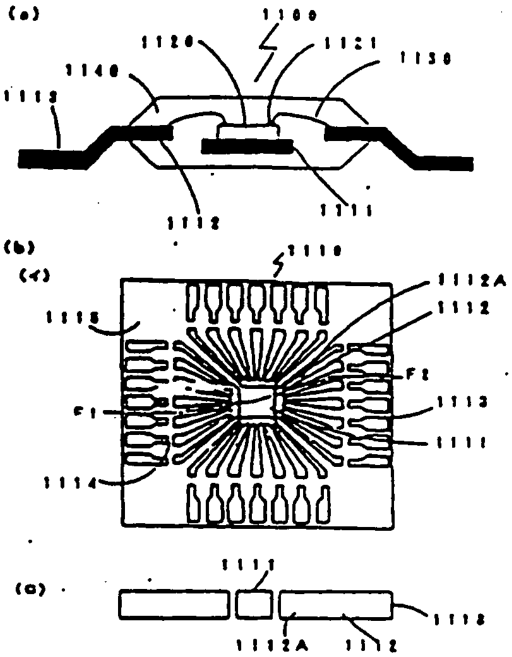
【図7】


(a)
237
236
231
233
C22
C11
238
235
(b)
231Ab
t₀
t
238
231
233
(c)
(イ)
235
231B
231
(ロ)
E11
E21
160
(ハ)
231
160

【図9】


(イ)
W1
131Ab
131A
W
131Aa
W2
(ロ)
(a)
120A
121A
131Ab
131A
131Aa
(b)
120B
121B
131Aa
131A
131Ab
(ハ)
320C
321C
331C
(ニ)
(a)
320D
331Aa
321D
(b)
331Ab
331Aa
331D
320E
321E
331E
331Ac

【図11】


(a)
(b)
(イ)
F2
F1
(ロ)

Japanese Patent Laid-Open Publication No. Heisei 9-8207

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

[CLAIMS]

1. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor chip is mounted, the terminal columns having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; and

the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being arranged between the inner leads and being electrically connected to tips of the inner leads by wires.

2. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of the tips thereof to serve as terminal portions, the terminal columns being exposed externally through the encapsulating resin at the outer sides thereof; and

the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

3. The resin-encapsulated CSP type semiconductor devices of claim 1 or 2, wherein the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that electrode portions thereof are arranged between the inner leads and the die pad.

4. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner

that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at the outer sides thereof; and

the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

5. A resin-encapsulated CSP type semiconductor

device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of tips thereof to serve as terminal portions; and

the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

6. The resin-encapsulated CSP type semiconductor device of any of claims 1 to 5, wherein the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and having a miniaturized structure and thus an excellent mounting efficiency. More particularly, the present invention relates to a resin-encapsulated semiconductor device utilizing a lead frame shaped in a manner that an inner lead portion is thinner in a thickness than a lead frame blank.

[DESCRIPTION OF THE PRIOR ART]

Fig. 11a shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1111 having a semiconductor chip 1120 mounted thereon, outer leads to be electrically connected to the associated circuits, inner leads 1112 formed integrally with the outer leads 1113, bonding wires 1130 for electrically connecting the tips of the inner leads 1112 to the bonding pad 1121 of the semiconductor chip 1120, and a resin encapsulating the semiconductor chip 1120 to protect the semiconductor chip 1120 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor device 1120 on the bonding pad 1121, is manufactured by encapsulating the semiconductor chip 1120 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1112 is equal to that of the bonding pads 1121 of the semiconductor chip 1120. And, Fig. 11b shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in Fig. 11a. Such a lead frame includes the bonding pad 1111 for mounting the semiconductor chip, the inner leads 1112 to be electrically connected to the semiconductor device, the outer lead 1113 which is integral with the inner lead 1112 and is adapted to be electrically connected to the associated circuits. This also includes dam bars serving as a dam when encapsulating the semiconductor device with the resin, and a frame serving to support the entire lead frame 1110. Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy(a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame 1110(plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package(QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to Fig. 10. First a copper alloy or 42 alloy thin sheet 1010 of a thickness on the order of 0.25 mm (blank for a lead frame) is cleaned perfectly (Fig. 10a). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1020 over the major surfaces of the thin film as shown in Fig. 10b. Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1030 as shown in Fig. 10c. Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1010 not coated with the patterned photoresist films 1020 so that inner leads of predetermined sizes and shapes are formed as shown in Fig. 10d.

Then, the patterned resist films are removed, the patterned thin sheet 1010 is washed to complete a lead frame having the inner leads of desired shapes as shown in Fig. 13e. Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in Fig. 10 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μm for successful wire bonding. When the etching process as illustrated in Fig. 10 is employed in fabricating a lead frame, a thin sheet of a small thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the fine tips thereof are arranged at a pitch of about 0.165 mm.

However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged at pitches in the range of 0.013 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions corresponding to the inner leads by pressing; for example, the smoothness of the surface of the plated areas is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

Meanwhile, there has been growing demand for the miniaturization and increase in the mounting efficiency of the semiconductor package as electronic apparatuses are miniaturized progressively. Thus, a package, so called "CSP" (Chip Size Package) is proposed which is encapsulated with a resin in such a manner that its size is substantially equal to that of the semiconductor chip. The CSP has the following advantages.

1) First, where the number of pins of the CSP is equal

to that of QFP (Quad Flad Package) or BGA (Ball Grid Package), the CSP enables a remarkable reduction in the mounting area as compared to the QFP or BGA.

2) Second, if the CSP is equal to the QFP or BGA in size, the CSP is increased in the pin number over the QFP or BGA. In the case of the QFP, a practical use dimension is 40 mm or less when considering the length of the package or substrate, and the pin number is 304 or less if the outer leads are arranged at a pitch of 0.5 mm. The outer leads need to be arranged at a pitch of 0.4mm or 0.3 mm to increase the pin number, but this causes a user difficulty in mounting the semiconductor package at a high productivity. Generally, in fabricating the QFP in which the outer leads are arranged at a pitch of 0.3 mm or less, the mass production of the QFP necessarily involves an increase in costs, otherwise the mass production is difficult. The BGA was proposed to overcome such a difficulty of the QFP. In the BGA, external terminals are formed in the shape of two-dimensional array, and arranged at a wider pitch, thereby reducing a difficulty in mounting it. Moreover, although the BGA permits the conventional overall reflow soldering even at the pin number in excess of 300 pins, solder bumps are incorporated with clacks depending on the temperature cycle if the dimension of the BGA reaches 30 to 40 mm, such that an upper limitation of

the pin number of the BGA is 600 to 700 pins, or at most 1000 pins. In the case of the CSP in which external terminals are mounted in the shape of two-dimensional array on the back surface of the CSP, pitches of the external terminals can be increased in accordance with the concepts of the BGA. Moreover, in the CSP, the overall reflow soldering can be permitted, as in the BGA.

3) Third, as compared to the QFP or BGA, the CSP is short in an interconnection length, and thus less in the parasitic capacitance, and thereby short in the transfer delay time. Where the clock rate is in excess of 100 MHZ, the QFP is problematic in transfer into the package. The CSP having a shortened interconnection length is advantageous. Accordingly, the CSP is advantageous in view of the mounting efficiency, but it needs to be narrower in the terminal pitch when considering a demand for an increase in the number of terminals.

Thus, the present invention is aimed to provide a resin-encapsulated semiconductor device employing a lead frame, which is capable of meeting a demand for the miniaturization and increased terminal number.

[MEANS FOR SOLVING THE SUBJECT MATTERS]

A resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface on which the semiconductor chip is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

Moreover, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being arranged between the inner leads and electrically connected to tips of the inner leads by wires.

In the resin-encapsulated CSP type semiconductor devices as described above, the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that their electrode portions is arranged between the inner leads and the die pad.

Furthermore, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

Also, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being exposed externally through the encapsulating resin at a portion of tips thereof; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

In the resin-encapsulated CSP type package, the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

Meanwhile, the CSP type semiconductor devices as used herein generally means resin-encapsulated semiconductor devices encapsulated with an encapsulating resin in a manner that each of the resulting structures is lead, the inner leads are stable and wider in their width.

Furthermore, in the resin-encapsulated semiconductor device in accordance with the present invention, a semiconductor chip is mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip and the inner leads are electrically connected to each other. Thus, wire bondings are not required, and also bondings can be carried out in a lump.

[EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to Figures. 1. First, a first embodiment is shown in Fig. 1. Fig 1a is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. Fig. 1b is a cross-sectional view of each of the inner leads taken along the line A1-A2 of Fig. 1a, and Fig 1c is a cross-sectional of each of terminal columns view taken along the line B1-B2 of Fig. 1a. In Fig. 1, a reference numeral 100 depicts a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrode portions (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A terminal portions, 133B sides, 140 an encapsulating resin, 150 an insulating adhesive, and 160 a reinforcing tape.

In the resin-encapsulated semiconductor device according to the first embodiment, a semiconductor device 110 is mounted in a manner that the electrode portions 111 of the semiconductor chip 110 are arranged between the inner leads. The semiconductor chip 110 is electrically connected to the second surface 131 Ab of the tip of each inner lead 131. The electrical connection of the resin-encapsulated semiconductor device 100 to an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 at terminal portions made of semi-spherical solder on a printed circuit substrate. The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. This lead frame 130 has a shape as shown in Fig. 6a. As shown in Fig. 6a, the lead frame 130 has inner leads 131 shaped to have a thickness smaller than that of the terminal column 133. Dam bars 136 serve as a dam when encapsulating with a resin. Moreover, although the lead frame processed by etching to have a shape as shown in Fig. 6a is used in this embodiment, the lead frame is not limited to such a shape as portions other than the inner leads and the terminal columns 133 are not required to be used. The inner leads 131 have a thickness of 40μm whereas the portions of the lead frame other than the inner leads 131 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips of the inner leads have a fine pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face denoted by the reference numeral 131Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire boding thereon. The third and fourth faces 131Ac and 131Ad have a concave shape depressed toward the inside of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Also, Fig. 6b is a cross-sectional view taken with the line C1-C2 of Fig. 6a. The reinforcing tape 160 is attached fixedly so as not to cause twisting in the inner leads. Also, if the inner leads are short in their length, a lead frame fabricated by etching to have a shape shown in Fig. 6a is mounted with the semiconductor chip in accordance with a method as described below. However, where the inner leads are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate directly the lead frame by etching to have a shape as shown in Fig. 6a. Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 1315 as shown in Fig.

6c(i), the inner leads 131 are fixed with the reinforcing tape 160 as shown in Fig. 6c(ii). Then, the connecting portion 131B unnecessary for the fabrication of the resin-encapsulated semiconductor device are removed by means of a press as shown in Fig. 6c (iii), and a semiconductor chip is then mounted on the lead frame. In Fig. 6c(ii), the line E1-E2 shows the line to be cut by a press.

A method for the fabrication of the resin-encapsulated semiconductor device will now be described in brief. First, as shown in Fig. 5a, a lead frame, which is fabricated by an etching and from which the unnecessary portions are moved by a cutting process, is arranged in a manner that thin tips of the inner leads are directed upwardly. Moreover, if the inner leads are long in their length, the tips of the inner leads are fixed by a polyimide tape, as required. Then, the surface of the semiconductor device 110 having electrode portions 111 formed thereon is directed downwardly, and located on the inner leads in a manner that the electrode portions are arranged between the inner leads 131. Then, the semiconductor device 110 is mounted fixedly on the inner leads by means of an insulating adhesive 150.

Then, as shown in Fig. 5b, the electrode portions are electrically connected to the tips of the inner leads 131 by wires 120. Subsequently, encapsulation is carried out with the conventional encapsulating resin 140, as shown in Fig. 5c. Such an encapsulation with the resin is carried out using a desired mold in a manner that the outer surface of the terminal columns is somewhat protruded externally from the encapsulating resin. Then, unnecessary portions of the lead frame 130 protruded from the encapsulating resin 140 are cut off by a press to form terminal columns 130 while forming sides 133B of the terminal columns 130, as shown in Fig. 5d. In this case, it is preferable to form previously the cutting line in the lead frame for easy cutting. Particularly, the forming of the cutting line during etching of the lead frame results in the saving of time. The dam bars 136, frame portions 137, etc. of the lead frame 110 as shown in Fig. 6 are removed. Next, terminal portion 133A made of solder is arranged on the outer surface of each terminal column to fabricate a resin-encapsulated semiconductor device. The terminal portion 133A serves to facilitate connection of the resin-encapsulated semiconductor device to an external circuit, but does not necessarily need to be arranged.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs. 8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in

Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line D1 - D2 of Fig. 6a, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first opening, 840 second openings, 850 first concave portion, 860 second concave portions, 870 flat surface, 880 an etch-resistant layer, 131A tips of inner leads, and 131Ab second faces of inner leads, respectively. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first opening 830 and second openings 840, respectively (Fig. 8a).

The first opening 830 is adapted to etch the lead frame blank 810 to have an etched flat bottom surface of a thickness smaller than that of the lead frame blank 810 in a subsequent process. The second openings 840 are adapted to form desired shapes of tips of inner leads. Although the first opening 830 includes at least an area forming the tips of the inner leads 810, a topology generated by a partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a clamping process for fixing the lead frame. Thus, an area to be etched needs to be sufficiently large without being limited to an area for forming the fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 810 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57 □C at a spray pressure of 2.5 kg/cm2. The etching process is terminated at the point of time when first recess 850 etched to have a flat etched bottom surface has a depth h corresponding to 2/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously etch both surfaces of the lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having ~~openings~~ of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as described hereinafter. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead frame blank on which the resist pattern 820B is formed. Subsequently, the surface provided with the first recess 850 etched at the first opening 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recess 850 and to cover the resist pattern 820A (Fig. 8c).

It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recess 850 and first opening 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recess 850. Although the etch-resistant layer 880 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the above-mentioned wax, but may be a wax of a UV-setting type. Since the first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to form a desired shape of the inner lead tip is filled up with the etch-resistant layer 880, it is not further etched in the following secondary etching process. The etch-resistant layer 880 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm^2 or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank is subjected to a secondary etching process. In this secondary etching process, the lead frame blank 810 is etched at its surface formed with the first recess 850 having a flat etched bottom surface, to completely perforate the lead frame blank 810, thereby forming the tips 890 of the inner leads (Fig. 8d).

The bottom surface 870 of each recess formed by the primary etching process and parallel to the surface of the lead frame is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 870 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 880, and resist films (resist patterns 820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 6a is obtained in which tips 690 of inner leads are arranged at a fine pitch. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

The etching method in which the etching process is conducted at two separate steps, respectively, as described above, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130 used in the present invention and shown in Figs. 6a and 6b involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In accordance with the above method, the fineness of the tip 131A of each inner lead formed by this method is dependent on a shape of the second recesses 860 and the thickness of the inner lead tip. For example, where the blank has a thickness t reduced to 50 μm, the inner leads can have a fineness corresponding to a lead width W1 of 100 μm and a tip pitch p of 0.15 mm, as shown in Fig. 6e. In the case of using a small blank thickness t of about 30 μm and a lead width W1 of 70 μm, it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W1.

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in Fig. 6a can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have a tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in Fig. 6c(I). Then, the connecting member 131B, unnecessary for the fabrication of a semiconductor package, is cut off by means of a press to obtain a lead frame shaped as shown in Fig. 6a.

In the case of fabricating a lead frame 230 having a die pad 235 as shown in Figs. 7a and 7b, the lead frame may be shaped by etching in a state where a connecting member 231B is arranged on the tips of the inner leads to bind the tips directly to the die pad, as shown in Fig. 7c(I). Then, unnecessary portions in the shaped lead frame may be cut off. Moreover, Fig. 7b is a cross-sectional view taken along the line C11-C22, and the line E11-E21 in Fig. 7c(ii) shows a cutting line. After the inner leads are plated in accordance with a jig plating process, unnecessary portions are cut off to obtain a lead frame having a good quality with no plating failure. Moreover, as described above, where unnecessary portions in the structure shown in Fig. 6c are cut off to obtain the lead frame having a shape shown in Fig. 6a, a reinforcing tape 160 (a polyimide tape) is generally used, as shown in Fig. 6c(iii). Similarly, the reinforcing tape is also used in the case of cutting off unnecessary portions in a structure shown in Fig. 7c. While the connecting member 131B is cut off by means of a press to obtain a shape shown in Fig. 6c(iii), a semiconductor chip is mounted on the lead frame still having the reinforcing tape attached thereon. Also, the mounted semiconductor chip is encapsulated with a -resin in a condition where the lead frame still has the tape.

The tip 131A of each inner lead of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 9(I). The tip 131A has an etched flat surface (second surface) 131Ab which has a width W1 slightly more than the width W2 of an opposite surface. The widths W1 and W2 (about 100 μm) are more than the width W at the central portion of the tips when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor chip (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in Fig. 9(ii)a. In Fig.9, a reference numeral 131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of Fig.9(ii)a, there is a particularly excellent wire-bonding property, as the etched flat surface does not have roughness. Fig.9(iii) shows that the tip 931C of the inner lead of the lead frame fabricated according to the process illustrated in Fig. 10 is wire-bonded to a semiconductor chip. In this case, however, both opposite surfaces of the tip 931C of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 931C are formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of the first embodiment. Fig.9(iv) shows that the inner lead tip 931D or 931E, obtained by thinning in its thickness by a means of a press and then by etching, is wire-bonded to a semiconductor chip (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown Fig. 9(iv). Thus, the wire-bonding on either of the opposite surfaces as shown in Fig. 9(iv)a or Fig. 9(iv)b often results in an insufficient wire-bonding stability and a problematic quality.

A modification to the resin-encapsulated semiconductor device of the first embodiment will now be described. Fig. 2a is a cross-sectional view illustrating a modification to the resin-encapsulated semiconductor device of the first embodiment, and Fig. 2c shows an appearance of the semiconductor device in accordance with the modification. Fig. 2c(ii) is a view when viewed from the bottom of the semiconductor device, Fig. 2c(I) is a front view of the semiconductor device, and Fig. 2b is a cross-sectional view of a terminal column taken at a position corresponding to the line A1-A2 of Fig. 1a. The semiconductor device according to the modification is different with that of the first embodiment in terminal portion 133A. The terminal portions at their tips are protruded externally from a resin 140. The surface of the tip of each terminal portion is plated with solder. Thus, when mounting the resin-encapsulated semiconductor device, the solder is uniformly distributed through an opening 133c. The semiconductor device 100A of this modification is identical to that of the first embodiment except for the terminal portions 133A.

A resin-encapsulated semiconductor device in accordance with a second embodiment will now be described. Fig. 3a is a cross-sectional view of a resin-encapsulated semiconductor device according to the second embodiment, Fig. 3b is a cross-sectional view of an inner lead taken along the line A3-A4 of the Fig. 3a, and Fig. 3c(I) is a cross-sectional view of a terminal column taken along the line A3-A4 of Fig. 3a. In Fig. 3, a reference numeral 200 depicts a resin-encapsulated semiconductor device, 210 a semiconductor chip, 230 a lead frame, 231 inner leads, 231Aa a first surface, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B sides, 235 a die pad, 240 an encapsulating resin, 250 an insulating adhesive, 250A an adhesive, and 260 a reinforcing tape. In the case of the second embodiment similarly to the case of the first embodiment, the semiconductor chip 210 is mounted in such a manner that the surface, on which electrode portions (pads) 211 are formed, is mounted fixedly on the inner leads 231 by means of the insulating adhesive, while the electrode portions 211 are arranged between the inner leads 231. The electrode portions are electrically connected to the second surfaces 231Ab of the tips of the inner leads 231. The lead frame has the die pad 235 at its inside. The electrode portions 211 are arranged between the inner leads 231 and the die pad 235. Moreover, in the second embodiment similarly to the case of the first embodiment, electrical connection of the semiconductor device 200 to an external circuit is achieved by mounting the semiconductor device 200 on a printed substrate by terminal portions made of a semi-spherical solder and arranged on the tips of the terminal columns 233. In this embodiment, a conductive adhesive is used to adhere the semiconductor chip 210 to the die pad 235, and the die pad 235 and the terminal columns 233 are connected by the inner leads to each other, thereby dissipating heat generated in the semiconductor chip through the die pad. Also, the adhesive 250A necessarily needs to be conductive. However, where the die pad and the semiconductor chip are connected together by means of the conductive adhesive and the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

Similarly to the lead frame used in the first embodiment, the lead frame 230 used in the second embodiment is made of 42% nickel-iron alloy. However, as shown in Figs. 7a and 7b, the lead frame 230 is shaped to have the die pad 235 and the inner leads 233 having a thickness thinner than that of the terminal columns. The terminal columns each have a thickness of 0.15 mm. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 231Ab of each inner lead is flat, such that is easy to wire-bond. The third and fourth surfaces 231Ac and 231Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment.

For example, in a modification to the resin-encapsulated semiconductor device of the second embodiment, an opening 233C is formed on the tip of each terminal column 233 as in the modification to the first-embodiment. The opening is protruded externally from the encapsulating resin 240 such that the tip having the opening serves as the terminal 233A.

A resin-encapsulated semiconductor device in accordance with a third embodiment will now be described. Fig. 4a is a cross-sectional view of a resin-encapsulated semiconductor device in accordance with a third embodiment, and Fig. 4b is a cross-sectional view of an inner lead taken along the line A5-A6 of Fig. 4a. Also, Fig. 4c(I) is a cross-sectional view of a terminal column taken along the line B5-B6 of Fig. 4a. In Fig. 4, a reference numeral 300 depicts a resin-encapsulated semiconductor device, 310 a semiconductor device, 311 pads, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B sides, 335 a die pad, 340 a encapsulating resin, and 360 a reinforcing resin. Unlike the first or second embodiment above, the semiconductor device 300 in accordance with this third embodiment includes bumps 311. The bumps 311 are mounted fixedly on the inner leads 330 and electrically connect the semiconductor chip 310 and the inner leads 331 together. Similarly to the first or second embodiment, electrical connection of the semiconductor device to an external circuit is achieved by mounting the semiconductor device on a printed substrate by terminal portions 333A made of a semi-spherical solder and arranged on the tips of the terminal columns.

Similarly to the lead frame used in the first or second embodiment, the lead frame 330 used in the second embodiment is made of 42% nickel-iron alloy. However, the lead frame 330 is shaped to have the tips 331A of the inner leads having a thickness thinner than that of the terminal columns, as shown in Figs. 6a and 6b. The terminal columns 333 are equal to the lead frame blank in thickness. The tips 331A of the inner leads are 40 μm thick, and the remaining portions other than the tips 331A of the inner leads are 0.15 mm thick, such that the lead frame has a strength sufficient to withstand the subsequent processes. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 331Ab of each inner lead 331A is flat, such that is easy to wire-bond. The third and fourth surfaces 331Ac and 331Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment, except that the semiconductor chip is mounted fixedly on the die pad, followed by encapsulation with the encapsulating resin.

For example, in a modification to the resin-encapsulated semiconductor device of the third embodiment, an opening 333C is formed on the tip of each terminal column 333 as in the modification to the first embodiment as shown in Fig. 2. The opening is protruded externally from the encapsulating resin 340A such that the tip having the opening serves as the terminal 333A.

[EFFECTS OF THE INVENTION]

The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number and is excellent in mounting efficiency. Furthermore, the resin-encapsulated semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in Fig. 11b. As a result of this, the resin-encapsulated semiconductor device does not have a problem in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a parasitic capacity, and shortened in a transfer delay time.